

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-029140
(43)Date of publication of application : 10.02.1986

(51)Int. Cl. H01L 21/60
H01L 23/48

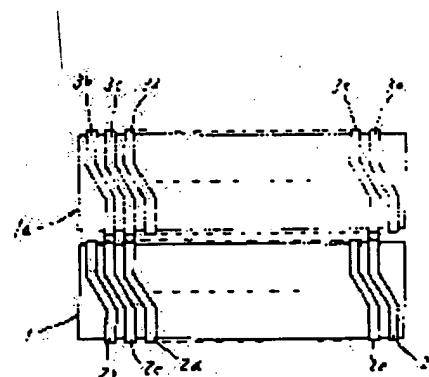
(21)Application number : 59-149497 (71)Applicant : HITACHI LTD
(22)Date of filing : 20.07.1984 (72)Inventor : SAITO KAZUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To apply plural times of performance to substrates of approximately the same size by forming the end terminal of an external terminal in a vacant terminal, and forming the chip operating terminal of other external terminal adjacent to other vacant terminal at the opposite side of the end vacant terminal.

CONSTITUTION: A chip select terminal 2b is formed adjacent to other vacant terminal 2c in opposite direction to an end vacant terminal 2a. When a current is flowed to the terminal 2b by controlling a current to the terminals 2b, 2c, only a semiconductor device 1 of lower end can be operated, and when a current is flowed to the vacant terminal 2c of the device 1, a current is flowed to a chip select terminal 3b of the device 1a of upper stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁 (J P) ⑪ 特許出願公開
 公開特許公報 (A) 昭61-29140

⑫ Int. Cl.¹ 識別記号 庁内整理番号 ⑬ 公開 昭和61年(1986)2月10日
 H 01 L 21/60 6732-5F 6732-5F
 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭59-149497

⑯ 出 願 昭59(1984)7月20日

⑰ 発 明 者 高 藤 一 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑲ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. パッケージの裏面に実装可能な積層からなる第1電極が配列形成され、該第1電極上方のパッケージ上面には、丁度1ピッチずれて前記第1電極と同数の第2電極が形成され、両電極の第1および第2電極どうしが電気的に接続されて形成されてなる外部端子を有する半導体装置であって、該外部端子の一端電極が、搭載されているペレットと電気的に接続されていない空端子であり、他の外部端子のうち1または2以上のそれぞれが、前記末端空端子と反対方向の1または隣接形成されている2以上の他の空端子に橋接して形成されているチップ作動端子である半導体装置。
2. 半導体装置がスタティックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. チップ作動端子がチップセレクト端子であることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

2項記載の半導体装置。

4. 半導体装置がダイナミックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。
5. チップ作動端子がローアドレスセレクト端子またはカラムアドレスセレクト端子であることを特徴とする特許請求の範囲第1項または第4項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は電子機器の性能向上に適用して有効な技術に関するものである。

〔背景技術〕

電子機器の小型化に伴い、種々の高密度実装に適した半導体装置が考案されている。その一つに、いわゆるリードレスチップキャリア型半導体装置(以下、LCC型半導体装置と記す。)がある。このLCC型半導体装置はパッケージの外方に延在された外部端子を備えていないため、2以上のLCC型半導体装置のパッケージを近接して実装

することができるので、電子機器の小型化に有効なものである。

しかし、前記しじ型半導体装置は平面の実装方法であるため、パッケージ法より密度を上げることが不可能である。したがって、たとえば前記しじ型半導体装置が電子計算機のメモリーLSI（大規模集積回路）である場合は、該電子計算機の記憶容量を2倍または3倍以上にするためには、少なくとも2倍または3倍以上の面積の実装基板が必要になり、それだけ装置全体を大型にしなければ記憶容量を数倍に高めた電子計算機を形成することができないという問題がある。

なお、しじ型半導体装置については、たとえば昭和58年11月28日サイエンスフォーラム発行の「超LSIデバイスハンドブック」第225ページ以下に説明されている。

（発明の目的）

本発明の目的は、電子機器の小型化に適用して有効な技術を提供することにある。

本発明の目的は、装置の大きさをほとんど変え

ず装置を、そのパッケージ裏面の実装用電極を電気的に接続された状態で取り付けて2以上の半導体装置を集合使用する場合であっても、各半導体装置を独立して動作させることができることにより、平面的に実装する場合に比べ、ほぼ同一寸法の実装基板上に複数の装置を付着することが可能となるため、前記目的を達成されるものである。

（実施例1）

第1図は本発明による実施例1である半導体装置の構造をその使用態様とともに側面図で示すものである。

本実施例の半導体装置1は、スタティックランダムアクセスメモリー（以下、SRAMと記す。）であり、そのパッケージがセラミックからなる、いわゆるしじ型半導体装置である。

前記半導体装置は、パッケージ裏面に面付実装可能な電極を有し、パッケージ上面には裏面電極と同数の面付実装される電極が、丁度1ピッチ左へずらして形成されており、かつ両面電極の上面と裏面に形成されている電極どうしを、パッケー

図面61- 20140(2)

ることなく、電子計算機の記憶容量を容易に数倍にすることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

（発明の概要）

本発明において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、パッケージの裏面に複数の実装用電極が配列形成され、該電極と電気的に接続されている電極がパッケージ上面に、丁度裏面に形成されている前記電極と1ピッチずらして形成してなる外部端子を備えてなる半導体装置について、該外部端子の末端端子を露出されているベレットと電気的に接続されて、ない空端子とし、他の外部端子のうち1または2以上のチップ動作端子のそれぞれを、1または複数形成されている以上の他の空端子に前記末端端子の反対側で結びさせて形成することにより、1の半導体装置のパッケージ上面の電極に、他の同一機能を備えた半導

体装置のメタライズで電気的に接続して形成する外部端子を備えてなるものである。また、前記外部端子のうち、右側の外部端子は露出されているベレット電気的に接続されていない空端子2aであり、左側の外部端子はチップセレクト（CHIP SELECT）端子（以下、CS端子と記す。）2bで、該CS端子2bの右側の外部端子は空端子2cである。すなわち、前記CS端子2bは末端空端子2aと反対方向の他の空端子2cと接続して形成されているものである。

本実施例の半導体装置は、第1図に側面図で示す如く、同一の半導体装置1をその裏面電極で下段半導体装置1の上面電極に半田等の接合材を介して電気的に導通するように取り付けることにより、半導体装置1の上と下とをそれぞれ独立して動作させることができるものである。

すなわち、CS端子2bを上と下と空端子2cへの電流を制御してCS端子2bの方に電流を流す場合は、下段の半導体装置1のみを動作させることができ、該半導体装置1の空端子2cの方に電流

を流す場合は、上段の半導体装置1のC/S端子3にも電流を流すことになるため、上段の半導体装置のみを作動させることができることになる。

なお、上段の半導体装置1を動作させる場合の外部端子3の電圧は、下段の空端子2を介して行われる。

以上説明した如く、2つの空端子2および2を形成することにより、独立して作動させることが可能な半導体装置を2段に重ねて実装できるものである。

したがって、半導体装置が本実施例1のようなSRAMである場合は、装置の大きさをほぼ同一のままに記憶容量が2倍の電子計算機を容易に提供することが可能となる。

(実施例2)

第2図は本発明による実施例2である半導体装置の概略をその使用面図とともに側面図で示すものである。

本実施例2の半導体装置1は、ダイナミックラジアルアクセスメモリ（以下、DRAMと記す、

動作させることができるものである。すなわち、RAS端子21およびCAS端子21に電流を流すことにより下段の半導体装置1のみを作動させることができ、空端子22および21に電流を流すことにより、結果として上段の半導体装置1のRAS端子31およびCAS端子31に流すことになるため、上段のみを作動させることが可能となる。その他は実施例1とはほぼ同様であり、本実施例2の場合も記憶容量を容易に倍増することが可能である。

(効果)

①、パッケージの底面に複数の実装用電極が配列形成され、該電極と電気的に接続されている電極が該パッケージ上面に、裏面に形成されている前記電極と1度1ピッチずらして形成してなる外部端子を挿入してなる半導体装置であって、該外部端子の末端の端子を格納されているベレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれぞれを、1または複数形成されている2以上の他の

特開昭61-23140(3)

）であり、前記実施例1とはほぼ同様のLCC型半導体装置である。

本実施例2の半導体装置においては、2つのチップ作動端子を有し、この2つの端子が協働して該半導体装置を作動させることができるものである。すなわち、左端の外部端子21はロウアドレスセレクト（ROW ADDRESS SELECT）端子（以下、RAS端子と記す。）であり、該RAS端子21の右端に隣接して空端子22が形成され、さらに右方向の外部端子21はコラムアドレスセレクト（COLUMN ADDRESS SELECT）端子（以下、CAS端子と記す。）であり、該CAS端子21の右端には隣接して空端子23が形成されている。したがって、本実施例2においても、チップ作動端子であるRAS端子21およびCAS端子21のそれぞれが、末端端子22と反対方向で他の空端子23および21に隣接して形成されている関係にある。

本実施例の半導体装置も、第2図に示すように2段重ねて取り付けても、それぞれ独立して作

空端子に隣接する空端子の反対方向で隣接させて形成することにより、1の半導体装置のパッケージ上面の電極に他の同一機能を備えた半導体装置を、そのパッケージ裏面の電極に電気的に接続された状態で取り付けて2以上の半導体装置を組合使用する場合であっても、各半導体装置を独立して作動させることができるので、装置寸法をほぼ同一のままに容易に複数倍の性能を有する電子機器を提供することができる。

④、前記①と同一の効果により、電子機器の大幅な小型化が可能となる。

⑤、チップ作動端子がチップセレクト端子である場合、前記①により、装置の大きさをほとんど増えることなく2または3倍以上のSRAMを実装することができるので、電子計算機の記憶容量を、容易に2または3倍以上にすることが可能である。

⑥、チップ作動端子がロウアドレスセレクト端子およびコラムアドレスセレクト端子である場合、前記①と同様に装置の大きさが増えることなく、2または3倍以上のDRAMを備えた電子計算機

を適用することである。

以上本発明者によってなされた発明を實施例に就いて具体的に説明したが、本発明は実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変形可能であることはいうまでもない。

たとえば、半導体装置としてはRAMおよびDRAMであるメモリLSIについて説明したが、これに限るものではなく、1またはそれ以上のチップ作動端子を有し、同様の使用が可能であるものであれば如何なるものにも適用できるものである。

また、作動端子もパッケージが露出に形成されたメタライズからなるものに限るものでなく、同一回路を完成するものであれば、その形成場所および形状は問わないものである。

さらに、チップセレクト端子の1つまたは複數端子と反対側の末端に形成したものについて示したが、その位置は問わないものであることはいうまでもない。

特開昭61-29140(4)

なお、前記実施例では2段に重ねて使用するものについて説明したが、これに限らず、チップ作動端子に接続する空端子を2またはそれ以上形成することにより、3段または4段以上に重ねて使用することも当然にできるものである。

また、下段半導体装置の上面電極に上段の上面電極を突き付ける方法としては、半田等の接合材を用いる例を示したが、これに限るものでなく接合材料を介して取り付けでもよいことはいうまでもない。

(利用分野)

以上の説明では主として本発明者によってなされた発明をその背景となした利用分野であるメモリックからなるLCC型半導体装置に適用した場合について説明したが、それと限定されるものではなく、たとえば、同様の使用が可能である種々のパッケージからなる半導体装置であつて、メモリック以外の材料からなるものであつても当然に適用することができる技術である。

図面の簡単な説明

第1図は本発明による実施例1の半導体装置をその使用の態様とともに示す側面図、

第2図は本発明による実施例2の半導体装置をその使用の態様とともに示す側面図である。

1、1a・・・半導体装置、2a、3a・・・末端空端子、2c、3c、2g、3g、2j、3j・・・空端子、2b、3b・・・チップセレクト端子、2f、3f・・・RAS端子、2i、3i・・・CAS端子。

代理人 井理士 高 橋 明 夫

